



## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2002373937 A**(43) Date of publication of application: **26.12.02**

(51) Int. Cl.

**H01L 21/768****H01L 21/3065****H01L 21/3205**(21) Application number: **2001181186**(71) Applicant: **FUJITSU LTD FUJITSU VLSI LTD**(22) Date of filing: **15.06.01**(72) Inventor: **KAGAMI KATSUMI****(54) SEMICONDUCTOR DEVICE AND ITS  
MANUFACTURING METHOD****(57) Abstract:**

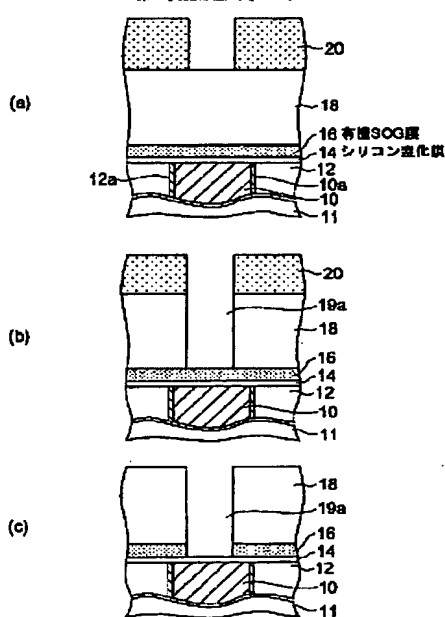
**PROBLEM TO BE SOLVED:** To provide the manufacturing method for semiconductor devices for preventing oxidation in metal wiring, and at the same time suppressing the effective capacity of multilayer wiring.

**SOLUTION:** The manufacturing method includes a process for forming metal wiring 10a at the upper portion of a semiconductor substrate 11, a process for forming a metal diffusion prevention inorganic insulating film 14 on the metal wiring 10a, a process for forming an organic insulating film 16 on the metal diffusion prevention inorganic insulating film 14, a process for forming an interlayer insulating film 18 on the organic insulating film 16, a process for setting the organic insulating film 16 to an etching stop layer and forming a connection hole 19a on at least the metal wiring 10a of the interlayer insulating film 18 by etching a specific region in the interlayer insulating film 18, a process for etching the organic insulating film 16 exposed at the bottom section of the connection hole 19a to expose the metal diffusion prevention inorganic insulating film 14, and a process for exposing

the metal wiring 10a by etching the metal diffusion prevention inorganic insulating film 14 through the connection hole 19a.

COPYRIGHT: (C)2003,JPO

第1実施形態 (その1)



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-373937

(P2002-373937A)

(43) 公開日 平成14年12月26日 (2002. 12. 26)

(51) Int.Cl.<sup>7</sup>

識別記号

F I

テ-マ-ド\* (参考)

H 0 1 L 21/768

H 0 1 L 21/90

A 5 F 0 0 4

21/3065

21/88

M 5 F 0 3 3

21/3205

21/302

J

審査請求 未請求 請求項の数 5 O L (全 12 頁)

(21) 出願番号 特願2001-181186 (P2001-181186)

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番  
1号

(22) 出願日 平成13年6月15日 (2001. 6. 15)

(71) 出願人 000237617

富士通ヴィエルエスアイ株式会社

愛知県春日井市高蔵寺町2丁目1844番2

(72) 発明者 各務 克巳

愛知県春日井市高蔵寺町二丁目1844番2

富士通ヴィエルエスアイ株式会社内

(74) 代理人 100091672

弁理士 岡本 啓三

最終頁に続く

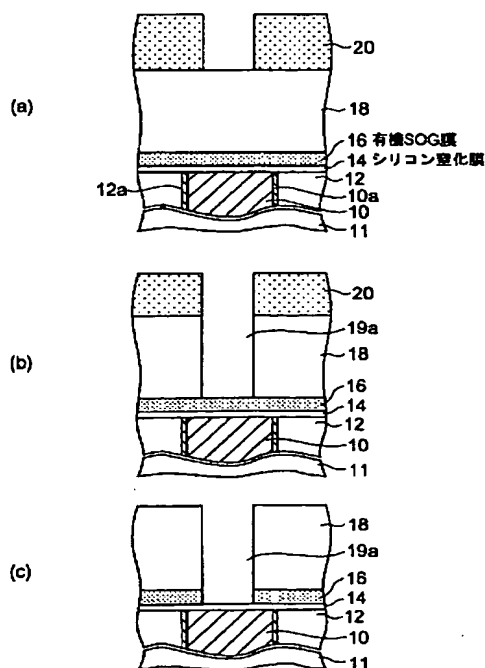
(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 金属配線が酸化されず、かつ多層配線の実効的な容量を低く抑えることができる半導体装置の製造方法を提供する。

【解決手段】 半導体基板11の上方に金属配線10aを形成する工程と、金属配線10aの上に金属拡散防止無機絶縁膜を14形成する工程と、金属拡散防止無機絶縁膜14の上に有機絶縁膜16を形成する工程と、有機絶縁膜16の上に層間絶縁膜18を形成する工程と、有機絶縁膜16をエッチングストップ層となして、層間絶縁膜18の所定の領域をエッチングすることにより層間絶縁膜18の少なくとも金属配線10aの上に接続孔19aを形成する工程と、接続孔19aの底部に露出した有機絶縁膜16をエッチングして金属拡散防止無機絶縁膜14を露出させる工程と、接続孔19aを通して金属配線10aを露出させる工程とを有する。

第1実施形態 (その1)



## 【特許請求の範囲】

【請求項1】 半導体基板の上方に形成された絶縁膜の表面から露出する金属配線を形成する工程と、前記金属配線と前記絶縁膜の上に金属拡散防止無機絶縁膜を形成する工程と、前記金属拡散防止無機絶縁膜の上に有機絶縁膜を形成する工程と、前記有機絶縁膜の上に層間絶縁膜を形成する工程と、前記有機絶縁膜をエッチングストップ層となして、前記層間絶縁膜の所定の領域をエッチングすることにより前記層間絶縁膜の少なくとも前記金属配線の上に接続孔を形成する工程と、前記接続孔の底部に露出した前記有機絶縁膜をエッチングして前記金属拡散防止無機絶縁膜を露出させる工程と、前記接続孔を通して前記金属拡散防止無機絶縁膜をエッチングすることにより前記金属配線を露出させる工程とを有することを特徴とする半導体装置の製造方法。

【請求項2】 前記層間絶縁膜の形成工程は、前記有機絶縁膜上に下部層を形成し、該下部層の上に材料の異なる中間層を形成し、該中間層のうち前記金属配線の上方に孔を形成し、該孔内と前記中間層上に前記下部層と同じ材料の上部層を形成する工程からなり、かつ前記接続孔の形成工程は、前記孔の上を通る配線溝を前記上部層に形成した後に、前記孔を通して前記下部層をエッチングする工程であることを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項3】 前記層間絶縁膜の形成工程は、前記有機絶縁膜上に無機下部層を形成し、該無機下部層の上に有機中間層を形成し、該有機中間層の上に無機上部層を形成する工程であり、前記接続孔の形成工程は、前記無機上部層と前記有機中間層とをパターンニングして前記金属配線の上方に接続孔を画定するための孔を形成した後に、前記無機上部層の配線溝になる領域をエッチングして前記孔に連通する配線溝の上部を形成すると同時に前記有機中間膜の前記孔を通して前記無機下部層をエッチングする工程であり、かつ前記接続孔を通した前記有機絶縁膜のエッチング工程は、前記無機上部層をマスクにして前記有機中間層をエッチングして前記配線溝の下部を形成すると同時に前記有機絶縁膜をエッチングする工程であることを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項4】 前記接続孔を通しての前記有機絶縁膜のエッチングは、前記層間絶縁膜の上に形成されるレジストの除去と同時に進行されることを特徴とする請求項1又は2に記載の半導体装置の製造方法。

【請求項5】 半導体基板の上方に形成された絶縁膜と、前記絶縁膜の表面から露出する金属配線と、前記金属配線と前記絶縁膜の上に形成された金属拡散防止無機絶縁膜と、

前記金属拡散防止無機絶縁膜の上に形成された有機絶縁膜と、前記有機絶縁膜の上に形成された層間絶縁膜と、前記層間絶縁膜と前記有機絶縁膜と前記無機絶縁膜に形成されて前記金属配線の表面に達する深さの接続孔と、前記接続孔内に形成された導電性プラグとを有することを特徴とする半導体装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は半導体装置及びその製造方法に係り、さらに詳しくは、多層配線構造を有する半導体装置と、ダマシン法を用いた多層配線の製造方法に関する。

## 【0002】

【従来の技術】LSIは、半導体基板上に電氣的に分離して配置されたトランジスタやダイオード、キャパシタ、抵抗などの基本的な構成要素を配線で接続して製造される。この素子同士を高密度で接続する技術が多層配線技術であって、多層配線技術はLSIの高性能化を決定づける重要な技術である。

【0003】多層配線の抵抗や容量などの寄生効果は、LSIの回路性能に大きな影響を与える。このような観点から、Cu（銅）などの抵抗が低い材料や誘電率が低い層間絶縁膜の材料に対応した埋め込み方式、いわゆるダマシン方式により多層配線が形成されるようになってきている。図8は従来のダマシン方式で形成される多層配線に係る接続孔の形成方法を示す概略断面図である。従来のダマシン方式で形成される多層配線に係る接続孔の形成方法は、図8（a）に例示するように、まず、所定の素子が形成された半導体基板上にこれらの素子に接続された第1層目のCu配線40を形成し、この第1層目のCu配線40上にCu拡散防止絶縁膜42と層間絶縁膜44とを形成する。

【0004】その後、層間絶縁膜44上にレジスト膜46をパターンニングし、このレジスト膜46をマスクとして層間絶縁膜44をエッチングして、接続孔46aの主要部を形成する。このとき、Cu拡散防止絶縁膜42をエッチングストップ膜としてCu配線40が露出しないようにする。次いで、図8（b）に示すように、Cu配線40がCu拡散防止絶縁膜42で覆われている状態でレジスト膜46を酸素プラズマで剥離する。次いで、層間絶縁膜44をマスクにしてCu拡散防止絶縁膜42をエッチングすることにより第1層目のCu配線が露出する接続孔46aを完成させる。

【0005】ここで、Cu配線40がCu拡散防止絶縁膜42で覆われている状態でレジスト膜46を酸素プラズマで剥離する理由は、Cu配線40は容易に酸化されてしまうという特性をもっており、Cu配線40が露出した状態で酸素プラズマを用いたレジスト剥離を行うとCu配線が容易に酸化されてしまうためである。このた

め、Cu配線40上にCu拡散防止絶縁膜42を形成することにより、Cu配線40の酸化を防止することができる。Cu配線40が酸化されると、Cu配線40自体の抵抗が増加したり、また、接続孔46aを介した上層と下層とのCu配線のコンタクトがオープンになったり、コンタクト抵抗が増加したりするという問題が発生する。

【0006】Cu拡散防止絶縁膜42としては、シリコン酸化膜よりなる層間絶縁膜44をエッチングするときエッチングストップ膜として機能する必要があるので、エッチング選択比（層間絶縁膜のエッチレート/Cu酸化拡散防止膜のエッチレート）がある程度とれる材料、例えばシリコン窒化膜が一般に使用されている。以上のように、従来、シリコン窒化膜などのCu拡散防止絶縁膜をCu配線への酸素の拡散をブロックする膜としてだけではなく、層間絶縁膜をエッチングする際のエッチングストップ膜としても機能させることによりビアホールなどを形成していた。

【0007】

【発明が解決しようとする課題】しかしながら、Cu拡散防止絶縁膜としてのシリコン窒化膜は、シリコン酸化膜に対するエッチング選択比が10程度しかとれないので、層間絶縁膜の成膜のばらつきやCu配線の沈み込み、いわゆるディッシングのばらつきなどを考慮して層間絶縁膜をある程度のオーバーエッチングする必要があるため、これによりCu拡散防止絶縁膜も僅かにエッチングされて所望の膜厚、すなわち酸素の拡散をブロックできる膜厚よりも薄くなりやすい。この結果、レジスト膜を除去する工程などで酸素がCu拡散防止絶縁膜（シリコン窒化膜）を透過してCu配線に拡散してCu配線が酸化されるおそれがある。

【0008】この問題を回避するために、シリコン窒化膜の成膜膜厚を厚くすれば、層間絶縁膜をエッチングして接続孔の形成した後、に所望の膜厚のシリコン窒化膜をCu配線上に残存させることができる。しかしながら、シリコン窒化膜は層間絶縁膜に一般に用いられているシリコン酸化膜系の絶縁膜に比べて誘電率が高いので、シリコン窒化膜の膜厚を厚くすると多層配線の配線間及び配線層間に係る容量が実効的に増加してしまう。これにより、LSIの多層配線の配線中を伝搬する電気信号の遅れ、いわゆる配線遅延が大きくなり、これが致命的な問題になる可能性がある。

【0009】本発明は以上の問題点を鑑みて創作されたものであり、金属配線が酸化されず、かつ多層配線の実効的な容量を低く抑えることができる半導体装置及びその製造方法を提供することを目的とする。

【0010】

【課題を解決するための手段】上記問題を解決するため、本発明は半導体装置の製造方法に係り、金属配線を備えた半導体基板を用意する工程と、前記半導体基板の

上に前記金属配線を覆う金属拡散防止無機絶縁膜を形成する工程と、前記金属拡散防止無機絶縁膜の上に有機絶縁膜を形成する工程と、前記有機絶縁膜の上に層間絶縁膜を形成する工程と、前記層間絶縁膜の所定の領域を、前記有機絶縁膜をエッチングストップ膜としてエッチングすることにより、前記層間絶縁膜に少なくとも孔を形成する工程と、前記孔の底部に露出した前記有機絶縁膜をエッチングして前記金属拡散防止無機絶縁膜を露出させる工程と、前記層間絶縁膜をマスクにして前記孔の底部の前記金属拡散防止無機絶縁膜をエッチングして前記金属配線を露出させることにより、少なくとも接続孔を形成する工程とを有することを特徴とする。

【0011】本発明によれば、金属配線の上に金属拡散防止無機絶縁膜と有機絶縁膜とを介して層間絶縁膜を形成し、まず、層間絶縁膜に少なくとも孔を形成するため、例えばレジスト膜をマスクにしたドライエッチングにより、層間絶縁膜をエッチングする。このとき、下地の有機絶縁膜がエッチングストップ膜として機能するように工夫されている。すなわち、例えば、層間絶縁膜がプラズマCVDで成膜されたシリコン含有絶縁膜であって、有機絶縁膜が有機SiO<sub>2</sub>膜である場合、エッチング選択比（シリコン含有絶縁膜のエッチングレート/有機絶縁膜のエッチングレート）が無限大に近くなり、有機絶縁膜で完全にエッチングがストップする。

【0012】次いで、有機物と容易に反応する例えば酸素などを含むガスを用いたドライエッチングやアッシングにより有機絶縁膜をエッチングするとともに、レジスト膜とを同時に除去する。このとき、金属配線が酸素の拡散を防止することができる膜厚、すなわち、成膜時の所定の膜厚と同一膜厚の金属拡散防止無機絶縁膜で覆われているので、金属配線が酸素により酸化されるのを防止することができる。

【0013】その後、金属拡散防止無機絶縁膜を、酸素を用いないエッチング条件でエッチングして金属配線が露出を露出することにより少なくとも接続孔を形成する。好ましい形態では、接続孔とこれに連通する配線溝を形成するようにしてもよい。このように、本発明では層間絶縁膜をエッチングする際に、エッチング選択比が無限大に近く、かつ誘電率が低い有機絶縁膜をエッチングストップ膜として用い、その下の金属拡散防止無機絶縁膜を保護することを特徴とし、従来のように金属拡散防止無機絶縁膜にエッチングストップ膜としての機能をもたせる必要がないので、金属拡散防止無機絶縁膜の膜減りがおこるおそれがない。

【0014】従って、誘電率が比較的高い金属拡散防止無機絶縁膜層の膜厚を酸素の拡散を防止できる最低限の膜厚とするができるので、多層配線の配線間及び配線層間に係る容量を実効的に小さくすることができる。並びに、金属配線が例えば酸化されやすいCu配線である場合、酸素の拡散を防止できる膜厚の金属拡散防止無機絶

縁膜層で覆われているので金属配線の酸化を防止することができる。また、金属配線の酸化を確実に防止できる膜厚の金属拡散防止無機絶縁膜が膜減りなしで残存するようにしたことで、金属拡散防止無機絶縁膜をエッチングして金属配線を露出させる工程の前で、酸素を用いたプラズマアッシングなどの工程を行うことができるようになるので、製造上の制限を受けることなくプロセス設計の自由度を上げることができる。

【0015】以上のことより、設計仕様に対応した配線遅延の小さい高性能LSIの多層配線を製造することができるようになる。

【0016】

【発明の実施の形態】以下、本発明の実施の形態について、添付の図面を参照して説明する。

（第1の実施の形態）図1（a）～（c）は本発明の第1の実施の形態の半導体装置の製造方法を示す概略断面図（その1）、図2（a）～（c）は本発明の第1の実施の形態の半導体装置の製造方法を示す概略断面図（その2）、図3（a）及び（b）は本発明の第1の実施の形態の半導体装置の製造方法を示す概略断面図（その3）である。

【0017】本発明の実施の形態の半導体装置の製造方法は、まず、図1（a）に示すような半導体基板11を用意する。すなわち、この半導体基板11には所定の半導体素子（図示せず）が形成され、半導体基板11の上方には絶縁膜12の配線溝12aに埋め込まれて形成された第1のCu配線10が形成され、第1のCu配線10と半導体素子とは電気的に接続されている。

【0018】第1のCu配線10は、例えばTiNやTa<sub>2</sub>Nなどからなるバリアメタル層10aを介して配線溝12a内に形成されている。また、それらの金属膜は、絶縁膜12上にも形成されるが、化学機械研磨法により除去される。続いて、同じく図1（a）に示すように、第1のCu配線10及び絶縁膜12上に金属拡散防止無機絶縁膜の一例である膜厚が例えば30nmのシリコン窒化膜14をプラズマCVDにより成膜する。このシリコン窒化膜14は後工程のレジスト膜を剥離する工程などで用いられる酸素プラズマなどから酸素が第1のCu配線10に拡散されて第1のCu配線10が酸化されるのを防止する膜となる。また、このシリコン窒化膜14は第1のCu配線10内のCuが層間絶縁膜に拡散することを防止する機能も有する。このシリコン窒化膜14は比較的、誘電率が高いので膜厚を薄く形成する方が好ましいが、酸素プラズマなどからの酸素が第1のCu配線10に拡散するのを完全に防止するために30nm程度以上の膜厚とすることが好ましい。

【0019】なお、このシリコン窒化膜14の代わりに、SiC（シリコンカーバイド）膜、PSG（Phosphor Silicate Glass）膜、又は高密度プラズマなどを用いたCVDにより成膜された膜

密度が高いシリコン窒化膜を用いることができる。その後、ダウコーニング社製の商品名（SILK）、又はアライドシグナル社製の商品名（FLARE）などを用意する。これらは有機SOG（Spin On Glass）であって、シリコン窒化膜14上にスピコートにより膜厚が例えば100nmになるようにして塗布し、例えば350～400℃でキュアすることによりシリコン窒化膜14上に有機絶縁膜の一例である有機SOG膜16を形成することができる。

【0020】この有機SOG膜16は層間絶縁膜として一般に使用されるプラズマCVDで成膜されたシリコン含有絶縁膜より誘電率が低く、また、CF<sub>4</sub>/CHF<sub>3</sub>系などのガスを用いた一般的なシリコン含有絶縁膜のドライエッチング条件ではほとんどエッチングされない特性をもっている。このため、本実施の形態では、この有機SOG膜16を接続孔の形成に係るエッチングにおけるエッチングストップ膜として用いることを特徴としている。

【0021】次いで、有機SOG膜16上にプラズマCVDにより、層間絶縁膜の一例である膜厚が例えば0.8～1.2μmのFSG（Fluorine Silicate Glass）膜18を成膜する。次いで、FSG膜18上にレジスト膜20を形成した後に、第1のCu配線10の所定の部分上に接続孔が形成されるようにレジスト膜20をパターニングする。

【0022】次いで、図1（b）に示すように、このレジスト膜20をマスクにして、例えばCF<sub>4</sub>/CHF<sub>3</sub>系などのガスを用いた異方性ドライエッチングによりFSG膜18をエッチングする。このとき、前述したように、有機SOG膜16はCF<sub>4</sub>/CHF<sub>3</sub>系などのガスを用いた異方性ドライエッチングではほとんどエッチングされず、エッチング選択比（FSG膜のエッチングレート/有機SOG膜のエッチングレート）が無限度に近いので、FSG膜18をオーバーエッチングしても有機SOG膜16が露出した時点でエッチングが完全にストップする。これにより、接続孔19aが形成される。

【0023】次いで、図1（c）に示すように、NH<sub>3</sub>ガス、N<sub>2</sub>/H<sub>2</sub>系のガス、又は酸素を含むガスなどを用いた異方性ドライエッチングにより、有機SOG膜16をエッチングする。このとき、有機SOG膜16の下の方のシリコン窒化膜14は無機膜であるので、そのようなガスとは反応せず、シリコン窒化膜14が露出した時点でエッチングがストップする。また、レジスト膜20も有機膜であるので、この工程で同時に除去される。これにより、接続孔19aの底部にシリコン窒化膜14が露出する。

【0024】次いで、図2（a）に示すように、接続孔19aが形成されたFSG膜18上にレジスト膜を塗布し、フォトリソグラフィにより、接続孔19aに連通する配線溝を画定するためのレジスト膜21aのパター

ンを形成する。このとき、接続孔19a内に充填されたレジスト膜の一部は露光されないで、接続孔19a内の底部を含む一部に未露光部のレジスト膜21bが残存する。

【0025】次いで、図2(b)に示すように、レジスト膜21a、21bをマスクにして、FSG膜18をその表面から例えば0.3~0.4 $\mu$ m程度の深さまで異方性ドライエッチングによりコントロールエッチングして接続孔19aに連通する配線溝19bを形成する。続いて、FSG膜18上のレジスト膜21aと配線溝19b内の一部に埋め込まれたレジスト膜21bとを酸素を主に用いたプラズマアッシングにより剥離する。このとき、第1のCu配線10は成膜された時点と同じ膜厚のシリコン窒化膜14により覆われているので、プラズマアッシングの酸素がシリコン窒化膜14によりブロックされ、第1のCu配線10が酸化されるおそれがない。

【0026】なお、本実施の形態では酸素を主に用いた等方性のプラズマアッシングでレジスト膜21a、21aを剥離する形態を例示しているため、この工程で有機SOG膜16に多少のサイドエッチが発生している。有機SOG膜16にサイドエッチを発生させたくない場合は、酸素などの有機膜と容易に反応するガスを主に用いた異方性ドライエッチングでレジスト膜21a、21bを除去してもよい。この場合、接続孔19aの側壁に残渣が発生しないように接続孔19aをテーパ形状になるようにエッチングすることが好ましい。

【0027】次いで、図2(c)に示すように、FSG膜18をマスクにしてシリコン窒化膜14をCF<sub>4</sub>/CHF<sub>3</sub>系などのガスを用いた異方性ドライエッチングによりエッチングして接続孔19aを通して第1のCu配線10を露出させる。次いで、図3(a)に示すように、接続孔19a及び配線溝19bの内面上及びFSG膜18の上面上にスパッタリング又はCVDにより膜厚が例えば30~50nmのTa<sub>2</sub>N(タンタルナイトライド)膜22を成膜し、続いて、スパッタリング又はCVDによりめっき給電層であるシードCu層24を形成する。続いて、このシードCu層24を介して電解めっきにより膜厚が例えば0.5 $\mu$ mのCu膜26を成膜する。これにより、Cu膜26は接続孔19a及び配線溝19bを埋めこむようにして形成される。なお、Ta<sub>2</sub>N膜22はCu配線のCuが外部に拡散するのを防止するバリアメタル層であって、Ta<sub>2</sub>N膜22の代わりに、TiN(チタンナイトライド)膜、Ta(タンタル)又はWN(タングステンナイトライド)膜などを使用してもよい。

【0028】次いで、図3(b)に示すように、CMPにより、Cu層26とシードCu層24とTa<sub>2</sub>N膜22とをFSG膜18が露出するまで研磨することにより、配線溝19b内には第2のCu配線26aが、接続孔19a内にはCuプラグ26bが形成される。これによ

り、第1のCu配線10と第2のCu配線26aとがCuプラグ26bを介して電氣的に接続される。

【0029】以上の工程を繰り返すことにより、Cu配線が所定の数で積層された多層配線を形成することができる。本発明の第1の実施の形態の半導体装置の製造方法によれば、FSG膜18をエッチングする工程で、エッチング選択比が無限大に近い有機SOG膜16をエッチングストップ膜として用いているので、シリコン窒化膜14にエッチングストップ膜としての機能をもたせる必要がない。すなわち、誘電率が比較的高いシリコン窒化膜14をエッチングストップ膜として機能させる必要がないので、酸素が拡散しない程度の薄い膜厚とすることができる。

【0030】従って、多層配線の配線間及び配線層間に係る容量を小さくすることができるので、設計仕様に対応した配線遅延の小さい高性能LSI用の多層配線を形成することができるようになる。

(第2の実施の形態)図4(a)~(d)は本発明の第2の実施の形態の半導体装置の製造方法を示す概略断面図(その1)、図5(a)~(c)は本発明の第2の実施の形態の半導体装置の製造方法を示す概略断面図(その2)である。

【0031】第2の実施の形態は、本発明の実施の形態の半導体装置の製造方法を利用して、FSG膜の膜中に中間層として接続孔を画定するためのシリコン窒化膜のパターンを予め形成しておき、次いで、FSG膜上に配線溝を画定するためのレジストパターンを形成した後、このレジスト膜をマスクにしてFSG膜をシリコン窒化膜までエッチングして配線溝を形成し、続いて、露出したシリコン窒化膜をマスクにして接続孔を形成する工程を含んでいる。図4及び図5において、図1~図3と同一要素には同一の符号を付してその詳しい説明を省略する。

【0032】本実施の形態の半導体装置の製造方法は、図4(a)に示すように、まず、第1の実施の形態の半導体装置の製造方法と同様な方法で、第1のCu配線10及び絶縁膜12上に、プラズマCVDにより金属拡散防止無機絶縁膜の一例である膜厚が例えば30nmの第1のシリコン窒化膜14aを成膜する。なお、この第1のシリコン窒化膜14aの代わりに、第1の実施の形態と同様に、SiC(シリコンカーバイド)膜、PSG(Phosphor silicate Glass)膜、又は高密度プラズマなどを用いたCVDにより成膜された膜密度が高いシリコン酸化膜を用いてもよい。

【0033】その後、第1のシリコン窒化膜14a上に、有機絶縁膜の一例である膜厚が例えば100nmの有機SOG膜16を形成する。続いて、有機SOG膜16上にプラズマCVDにより、下部層の一例である膜厚が例えば250~350nmである第1のFSG膜18aを形成する。続いて、第1のFSG膜18a上にプラ

ズマCVDにより、中間層の一例である膜厚が例えば50～100nmの第2のシリコン窒化膜14bを成膜する。

【0034】次いで、第2のシリコン窒化膜14b上に、接続孔を画定するためのレジスト膜20bをパターンニングし、このレジスト膜20bをマスクにして第2のシリコン窒化膜14bを異方性ドライエッチングによりエッチングする。これにより、図4(b)に示すように、第2のシリコン窒化膜14bに接続孔を画定するための孔14Iが形成される。この後に、レジスト膜20bを除去する。

【0035】次いで、図4(c)に示すように、第2のシリコン窒化膜14b及び第1のFSG膜18a上に、上部層の一例である膜厚が例えば150～200nmの第2のFSG膜18bをプラズマCVDにより成膜する。これにより、第2の実施の形態での層間絶縁膜となる第1のFSG膜(下部層)18a、孔14Iを有する第2のシリコン窒化膜(中間層)14b及び第2のFSG膜(上部層)18bとが積層される。続いて、第2のFSG膜18b上に配線溝を画定するためのレジスト膜20cをパターンニングする。

【0036】次いで、図4(d)に示すように、このレジスト膜20cをマスクにして、エッチング選択比(FSG膜のエッチレート/シリコン窒化膜のエッチレート)が10以上とれるエッチング条件、例えば、 $C_4F_8/CO/Ar/O_2$ 系などの混合ガスを用いた異方性ドライエッチングで、第2のFSG膜18bをエッチングする。このとき、第2のシリコン窒化膜14bの一部が露出するが、このエッチング条件では第2のシリコン窒化膜14bのエッチングレートが低く、これがマスクになって孔14Iの下第1のFSG膜18aがエッチングされる。また、このとき、上記したFSG膜のエッチング条件は、エッチング選択比(FSG膜のエッチレート/有機SOG膜のエッチレート)が無限大に近い条件でもあるため、第1のFSG膜18aの下有機SOG膜16でエッチングがストップする。これにより、図4(d)に示すように、第2のシリコン窒化膜14bの上には配線溝19dが形成され、さらに、この配線溝19dと連通する接続孔19eが形成される。

【0037】次いで、図5(a)に示すように、接続孔19eの底部の有機SOG膜16を $NH_3$ ガス、 $N_2/H_2$ 系ガス、又は $O_2$ を主に用いた異方性ドライエッチングでエッチングする。このとき、有機SOG膜16のエッチングと同時にレジスト膜20cも除去される。ここで、本実施の形態では、第1の実施の形態のようにエッチングされた有機SOG膜のパターンの側面が露出した後に、酸素を主に用いた等方性のドライアッシングを行う工程がないので、有機SOG膜16にサイドエッチが発生しない。

【0038】これにより、図5(a)に示すように、接

続孔19eの底に第1のシリコン窒化膜14aが露出する。このとき、第1の実施の形態と同様に、第1のCu配線10は、酸素の拡散を防止できる膜厚の第1のシリコン窒化膜14aで覆われているので第1のCu配線10が酸化されるおそれがない。次いで、図5(b)に示すように、配線溝19dの底部に露出した第2のシリコン窒化膜14bと接続孔19eの底に露出した第1のシリコン窒化膜14aとを例えば $CF_4/CHF_3$ 系のガスを用いた異方性ドライエッチングでエッチングすることにより、接続孔19eとこの接続孔19eに連通する配線溝19dが深くなり、第1のCu配線が露出する。

【0039】次いで、第1の実施の形態と同様な方法(図3(a))で、接続孔19e、配線溝19d及び第2のFSG膜18b上にTa<sub>2</sub>N膜22及びシードCu膜24を形成し、このシードCu膜24をめっき給電層として電解めっきにより接続孔19e及び配線溝19dを埋め込むCu膜26を形成する。続いて、Cu膜26とシードCu膜24とTa<sub>2</sub>N膜22をCMP法により第2のFSG膜18bが露出するまで研磨することにより、図5(c)に示すように、接続孔19e内にはCuプラグ26bが、配線溝19d内には第2のCu配線26aが形成される。これにより、第1のCu配線10と第2のCu配線26aがCuプラグ26bを介して電気的に接続され、以上の工程を繰り返すことにより、所定のCu配線が所定の数で積層された多層配線を形成することができる。

【0040】第2の実施の形態の半導体装置の製造方法は、第1の実施の形態と同様な作用・効果を奏するとともに、配線溝19dの深さが第2のFSG膜18bと第2のシリコン窒化膜14bとの合計膜厚で決定されるので、コントロールエッチングで配線溝を形成する第1の実施の形態より第2のCu配線26aの抵抗のバラツキを抑えることができるとともに、設計要求に応じた配線抵抗値とすることができる。また、接続孔19e内に露出する有機SOG膜16にサイドエッチが発生するおそれがないので、多層配線の信頼性を向上させることができる。

【0041】(第3の実施の形態)図6(a)～(d)は本発明の第3の実施の形態の半導体装置の製造方法を示す概略断面図(その1)、図7(a)～(c)は本発明の第3の実施の形態の半導体装置の製造方法を示す概略断面図(その2)である。第3の実施の形態は、本発明の実施の形態の半導体装置の製造方法を利用して、同一層の配線と配線との間に誘電率の低い有機SOG膜が形成されるようにした形態である。図6及び図7において、図1～3と同一要素には同一符号を付してその詳しい説明を省略する。

【0042】本実施の形態の半導体装置の製造方法は、図6(a)に示すように、まず、第1の実施の形態の半導体装置の製造方法と同様な方法で、第1のCu配線1

0及絶縁膜12上に、金属拡散防止無機絶縁膜の一例である第1のシリコン窒化膜14cと有機絶縁膜の一例である第1の有機SOG膜16aとを形成する。なお、この第1のシリコン窒化膜14cの代わりに、第1の実施の形態と同様に、SiC（シリコンカーバイド）膜、PSG（Phosphor silicate Glass）膜、又は高密度プラズマなどを用いたCVDにより成膜された膜密度が高いシリコン酸化膜を用いてもよい。

【0043】続いて、第1の有機SOG膜16a上にプラズマCVDにより、無機下部層の一例である膜厚が例えば250～350nmの第1のUSG（Undoped Silicate Glass）膜30を成膜する。その後、この第1のUSG膜30上に、有機中間層の一例である膜厚が例えば150～250nmの第2の有機SOG膜16bを形成する。この第2の有機SOG膜16bは、第1の実施の形態で説明した商品名（FLAREやSILK）などからなり、その誘電率が2.8前後のものであって、最終的にはCu配線間の絶縁膜となるように微細加工される。プラズマCVDにより形成されたUSG膜（誘電率が4.0前後）に比べて誘電率が低いので、配線間及び配線層間に係る容量を低減することができる。

【0044】次いで、第2の有機SOG膜16b上にプラズマCVDにより、膜厚が例えば100nmの第2のUSG膜30aを成膜する。さらに、この第2のUSG膜30a上にプラズマCVDにより、膜厚が例えば50～100nmの第2のシリコン窒化膜14dを成膜する。この第2のUSG膜30a及び第2のシリコン窒化膜14dが無機上部層の一例である。

【0045】このように、第3の実施の形態では、第1のUSG（無機下部層）30、第2の有機SOG膜（有機中間層）16b及び第2のUSG膜30a+第2のシリコン窒化膜（無機上部層）14dが層間絶縁膜を構成する。次いで、図6（b）に示すように、配線溝を形成する領域を画定するために、第2のシリコン窒化膜14dをパターンニングすることにより、第2のUSG膜30aが露出する開口部14eを形成する。続いて、接続孔を形成する領域を画定するために、第2のUSG膜30a及び第2のシリコン窒化膜14d上にレジスト膜20dをパターンニングし、このレジスト膜20dをマスクにして第2のUSG膜30aを異方性ドライエッチングによりエッチングして第2の有機SOG膜16bが露出する開口部30cを形成する。

【0046】続いて、このレジスト膜20dが存在する状態で、第2の有機SOG膜16bをNH<sub>3</sub>ガス、N<sub>2</sub>/H<sub>2</sub>系ガス又はO<sub>2</sub>を主に用いた異方性ドライエッチングによりエッチングする。このとき、第2の有機SOG膜16bのエッチングと同時にレジスト膜20dも除去される。これにより、図6（c）に示すように、第2のシ

リコン窒化膜14dが配線溝を画定するようにパターンニングされて開口部14eが形成され、さらに、第2のUSG膜30aと第2の有機SOG膜16bとが接続孔を画定するようにしてパターンニングされて孔16cが形成される。

【0047】次いで、図6（d）に示すように、エッチング選択比（USG膜のエッチレート／シリコン窒化膜のエッチレート）が10以上とれるエッチング条件、例えば、C<sub>4</sub>F<sub>8</sub>/CO/Ar/O<sub>2</sub>系などの混合ガスを用いた異方性ドライエッチングで、第2のシリコン窒化膜14dをマスクにして、表面が露出した第2のUSG膜30aと孔16cの底部に露出した第1のUSG膜30とを同時にエッチングする。このとき、上記したエッチング条件は有機SOG膜に対して無限大に近い選択比がとれる条件でもあるので、第2のUSG膜30a及び第1のUSG膜30のエッチングが終了すると、それぞれ、その下の第2の有機SOG膜16b及び第1の有機SOG膜16aでエッチングが完全にストップする。これにより、接続孔19hが形成される。

【0048】次いで、図6（d）に示す露出した第2の有機SOG膜16b及び接続孔19hの底部に露出した第1の有機SOG膜16aをNH<sub>3</sub>ガス、N<sub>2</sub>/H<sub>2</sub>系ガス又はO<sub>2</sub>を主に用いた異方性ドライエッチングによりエッチングすることにより、図7（a）に示すように、接続孔19hの底部に第1のシリコン窒化膜14cが露出した構造体が形成される。

【0049】このとき、第1の実施の形態と同様に、第1のCu配線10は酸素の拡散を防止できる膜厚の第1のシリコン窒化膜14cで覆われているので、酸素を用いて第1及び第2の有機SOG膜16a、16bのエッチングを行っても第1のCu配線10が酸化されるおそれがない。また、本実施の形態においても、第2の実施の形態と同様に、エッチングされた第1の有機SOG膜16aの側面が露出した後に、酸素を主に用いた等方性のドライエッチングを行う必要がないので、第1の有機SOG膜16aにサイドエッチが発生しない。

【0050】次いで、図7（b）に示すように、最上層の第2のシリコン窒化膜14dと接続孔19hの底部に露出した第1のシリコン窒化膜14cとを異方性ドライエッチングにより同時にエッチングすることにより、第1のCu配線10を露出させる。これにより、底部に第1のCu配線が露出する接続孔19hとこれに連通する配線溝19iとが形成される。

【0051】次いで、第1の実施の形態と同様な方法（図3（a））で、接続孔19h及び配線溝19iの内面上と第2のUSG膜30a上に、Ta<sub>2</sub>N膜22aとシードCu膜24aとを成膜し、このシードCu膜24aをめっき給電層として電解めっきにより接続孔19h及び配線溝19iを埋めこむCu膜26を形成する。次いで、図7（c）に示すように、このCu膜26、シード



Cu膜24a及びTa<sub>2</sub>N膜22aをCMPにより研磨することによりCuプラグ26bとこれに連通する第2のCu配線26aとを形成する。これにより、第2のCu配線26aが第2のUSG膜30aと第2の有機SOG膜16bとで画定された配線溝19iに埋め込まれて形成される。このようにして、第1のCu配線10と第2のCu配線26aとがCuプラグ26bを介して電氣的に接続され、以上の工程を繰り返すことにより、所定のCu配線が所定の数で積層された多層配線を形成することができる。

【0052】第3の実施の形態の半導体装置の製造方法によれば、第1及び第2の実施の形態と同様な作用・効果を奏するとともに、Cu配線間に誘電率が低い有機SOG膜が形成されるように工夫したので、特に、Cu配線間の容量の低減に大きく貢献することができる。これにより、第1及び第2の実施の形態より半導体装置の多層配線の配線遅延を小さくすることができ、半導体装置の高性能化に貢献することができる。

【0053】以上、第1～第3の実施の形態により、この発明の詳細を説明したが、この発明の範囲は上記実施の形態に具体的に示した例に限られるものではなく、この発明を逸脱しない要旨の範囲の上記実施の形態の変更はこの発明の範囲に含まれる。例えば、第1～第3の本実施の形態では、接続孔とこれに連通した配線溝を形成し、Cuプラグと上層のCu配線とを同時に形成する、いわゆるデュアルダマシン方式に基づいて説明したが、まず、層間絶縁膜に接続孔のみを形成してCuプラグを形成し、その後、配線溝を備えた絶縁膜を形成し、上層Cu配線を形成する方式、すなわちシングルダマシン方式に適用してもよい。

【0054】(付記1) 半導体基板の上方に形成された絶縁膜の表面から露出する金属配線を形成する工程と、前記金属配線と前記絶縁膜の上に金属拡散防止無機絶縁膜を形成する工程と、前記金属拡散防止無機絶縁膜の上に有機絶縁膜を形成する工程と、前記有機絶縁膜の上に層間絶縁膜を形成する工程と、前記有機絶縁膜をエッチングストップ層となして、前記層間絶縁膜の所定の領域をエッチングすることにより前記層間絶縁膜の少なくとも前記金属配線の上に接続孔を形成する工程と、前記接続孔の底部に露出した前記有機絶縁膜をエッチングして前記金属拡散防止無機絶縁膜を露出させる工程と、前記接続孔を通して前記金属拡散防止無機絶縁膜をエッチングすることにより前記金属配線を露出させる工程とを有することを特徴とする半導体装置の製造方法。

【0055】(付記2) 前記有機絶縁膜をエッチングした後であって前記金属拡散防止無機絶縁膜のエッチングの前において、前記接続孔に連通する配線溝を前記層間絶縁膜の上部に形成する工程をさらに有することを特徴とする付記1に記載の半導体装置の製造方法。

(付記3) 前記層間絶縁膜の形成工程は、前記有機絶縁

膜上に下部層を形成し、該下部層の上に材料の異なる中間層を形成し、該中間層のうち前記金属配線の上方に孔を形成し、該孔内と前記中間層上に前記下部層と同じ材料の上部層を形成する工程からなり、かつ前記接続孔の形成工程は、前記孔の上を通る配線溝を前記上部層に形成した後に、前記孔を通して前記下部層をエッチングする工程であることを特徴とする付記1に記載の半導体装置の製造方法。

【0056】(付記4) 前記層間絶縁膜の形成工程は、前記有機絶縁膜上に無機下部層を形成し、該無機下部層の上に有機中間層を形成し、該有機中間層の上に無機上部層を形成する工程であり、前記接続孔の形成工程は、前記無機上部層と前記有機中間層をパターンニングして前記金属配線の上方に孔を形成した後に、前記無機上部層の配線領域をエッチングして前記孔に重なる配線溝の上部を形成する際に同時に前記有機中間膜の前記孔を通して前記無機下部層をエッチングする工程であり、かつ前記接続孔を通した前記有機絶縁膜のエッチング工程は、前記無機上部層をマスクにして前記有機中間層をエッチングして前記配線溝の下部を形成する際に同時に前記無機下部層をエッチングする工程であることを特徴とする請求項1に記載の半導体装置の製造方法。

【0057】(付記5) 前記接続孔と前記配線溝内に導電膜を充填することにより前記接続孔内に導電性プラグを形成し、前記配線溝内に上側配線を形成する工程をさらに有することを特徴とする付記2乃至4のいずれか1項に記載の半導体装置の製造方法。

(付記6) 前記少なくとも接続孔を形成する工程の後、又は前記接続孔と該接続孔に連通する前記配線溝とを形成する工程の後に、前記接続孔、又は接続孔と該接続孔に連通する前記配線溝の内面上と前記層間絶縁膜との上に、下から順に、バリアメタル膜とめっき給電層とを形成する工程と、前記めっき給電層上に電解めっきにより前記接続孔、又は接続孔と該接続孔に連通する前記配線溝を埋め込む金属膜を成膜する工程と、前記金属膜、めっき給電層及びバリアメタル膜を研磨することにより、前記接続孔、又は接続孔と該接続孔に連通する前記配線溝に金属プラグ、又は金属プラグと該金属プラグに連通する上層金属配線を形成することを特徴とする付記2乃至4のいずれか1項に記載の半導体装置の製造方法。

【0058】(付記7) 前記接続孔を通しての前記有機絶縁膜のエッチングは、前記層間絶縁膜の上に形成されるレジストの除去と同時に進行されることを特徴とする付記1乃至4のいずれか1項に記載の半導体装置の製造方法。

(付記8) 前記有機絶縁膜のエッチングは、酸素含有ガスによって行われることを特徴とする付記1乃至6のいずれか1項に記載の半導体装置の製造方法。

【0059】(付記9) 前記金属配線が銅配線からなり、前記金属拡散防止無機絶縁膜がシリコン窒化膜から

なることを特徴とする付記1乃至7のいずれか1項に記載の半導体装置の製造方法。

【付記10】前記金属配線がCu（銅）配線からなり、前記金属拡散防止無機絶縁膜がSiC（シリコンカーバイド）膜からなることを特徴とする付記1乃至9のいずれか1項に記載の半導体装置の製造方法。

【0060】（付記11）前記金属配線がCu（銅）配線からなり、前記金属拡散防止無機絶縁膜がPSG（リンシリケートガラス）膜からなることを特徴とする付記1乃至9のいずれか1項に記載の半導体装置の製造方法。

【付記12】前記金属配線がCu（銅）配線からなり、前記金属拡散防止無機絶縁膜がプラズマCVDによって形成された膜密度が高いシリコン酸化膜からなることを特徴とする付記1乃至8のいずれか1項に記載の半導体装置の製造方法。

【0061】（付記13）半導体基板の上方に形成された絶縁膜と、前記絶縁膜の表面から露出する金属配線と、前記金属配線と前記絶縁膜の上に形成された金属拡散防止無機絶縁膜と、前記金属拡散防止無機絶縁膜の上に形成された有機絶縁膜と、前記有機絶縁膜の上に形成された層間絶縁膜と、前記層間絶縁膜と前記有機絶縁膜と前記無機絶縁膜に形成されて前記金属配線の表面に達する深さの接続孔と、前記接続孔内に形成された導電性プラグとを有することを特徴とする半導体装置。

#### 【0062】

【発明の効果】以上説明したように、本発明によれば、金属配線上に金属拡散防止無機絶縁膜と有機絶縁膜とを介して層間絶縁膜を形成し、層間絶縁膜に接続孔、又は接続孔と該接続孔に連通する配線溝を例えばレジスト膜をマスクにしたドライエッチングで有機絶縁膜がエッチングストップ膜として機能するように層間絶縁膜をエッチングする。

【0063】すなわち、層間絶縁膜のエッチングは有機絶縁膜に対して無限大に近い選択性をもつので、有機絶縁膜が露出した時点でエッチングが完全にストップする。その後、例えば、有機物と容易に反応する酸素などを含むガスを用いたドライエッチングで、有機絶縁膜をエッチングするとともに、レジスト膜とを同時に除去し、続いて、金属拡散防止無機絶縁膜をエッチングして金属配線が露出する接続孔などを形成する。

【0064】このようにすることにより、金属拡散防止無機絶縁膜にエッチングストップ膜としての機能をもたせる必要がないので、誘電率が比較的高い金属拡散防止無機絶縁膜の膜厚を酸素の拡散を防止することができる程度の薄い膜厚で形成することができる。従って、多層配線の金属配線間及び金属配線層間に係る容量を実効的に小さくできるとともに、金属配線上には酸素の拡散を防止できる膜厚の金属拡散防止無機絶縁膜層で覆われているので金属配線の酸化を防止することがで

きる。これにより、設計仕様に対応した配線遅延の小さい高性能LSIの多層配線を形成することができるようになる。

#### 【図面の簡単な説明】

【図1】図1（a）～（c）は本発明の第1の実施の形態の半導体装置の製造方法を示す概略断面図（その1）である。

【図2】図2（a）～（c）は本発明の第1の実施の形態の半導体装置の製造方法を示す概略断面図（その2）である。

【図3】図3（a）及び（b）は第1の本発明の実施の形態の半導体装置の製造方法を示す概略断面図（その3）である。

【図4】図4（a）～（d）は本発明の第2の実施の形態の半導体装置の製造方法を示す概略断面図（その1）である。

【図5】図5（a）～（c）は本発明の第2の実施の形態の半導体装置の製造方法を示す概略断面図（その2）である。

【図6】図6（a）～（d）は本発明の第3の実施の形態の半導体装置の製造方法を示す概略断面図（その1）である。

【図7】図7（a）～（c）は本発明の第3の実施の形態の半導体装置の製造方法を示す概略断面図（その2）である。

【図8】図8（a）及び（b）は従来のダマシン方式で形成される多層配線に係る接続孔の形成方法を示す概略断面図である。

#### 【符号の説明】

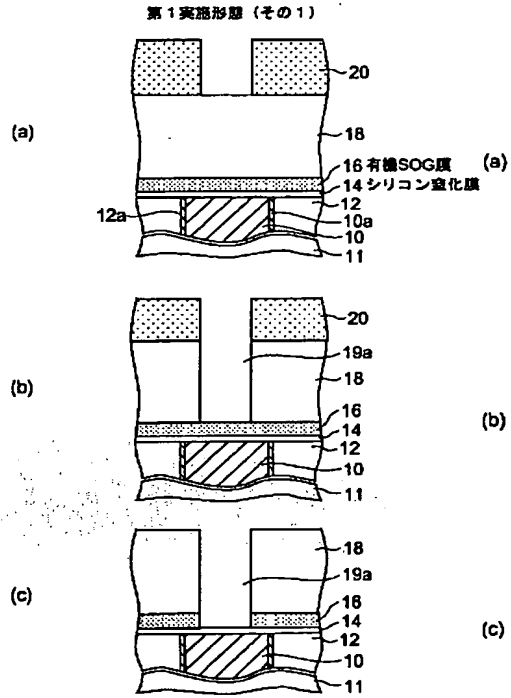
- 10：第1のCu配線（金属配線）
- 10a：バリアメタル層
- 11：半導体基板
- 12：絶縁膜
- 14、14a、14c：シリコン窒化膜（金属拡散防止無機絶縁膜）
- 14b：第2のシリコン窒化膜（中間層）
- 14d：第2のシリコン窒化膜（無機上部層）
- 16、16a：有機SOG膜（有機絶縁膜）
- 16b：第2の有機SOG膜（有機中間層）
- 16c：孔
- 18：FSG膜（層間絶縁膜）
- 18a：第1のFSG膜（下部層）
- 18b：第2のFSG膜（上部層）
- 19b、19d、19i：配線溝
- 19a、19e、19h：接続孔
- 20、20b、20d、21a：レジスト膜のパターン
- 22：Ta<sub>2</sub>N層
- 24：シードCu層
- 26：Cu層
- 26a：第2のCu配線

26b: Cuプラグ

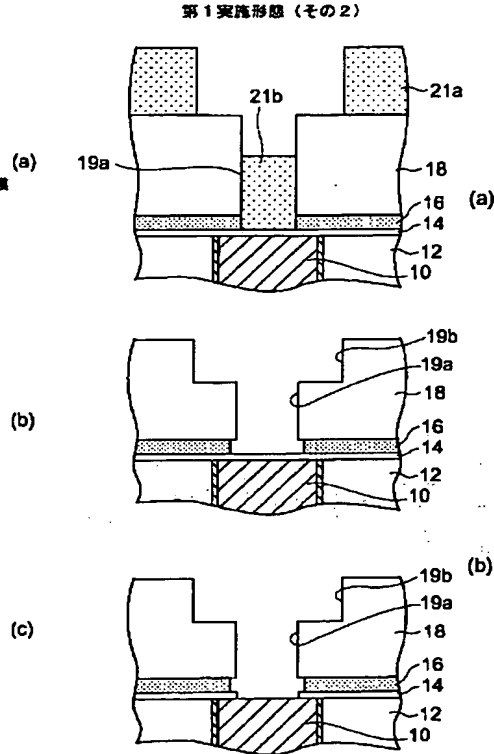
30a: 第2のUSG膜 (無機上部層)

30: 第1のUSG膜 (無機下部層)

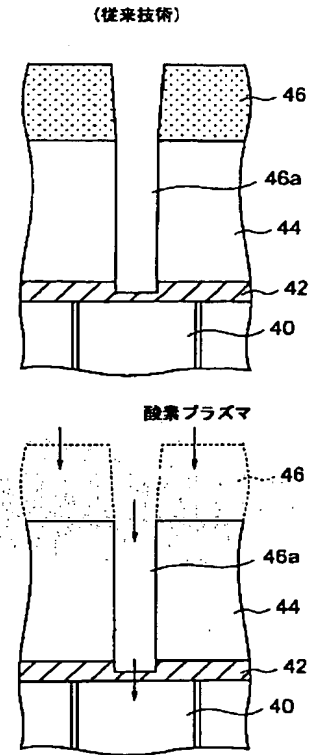
【図1】



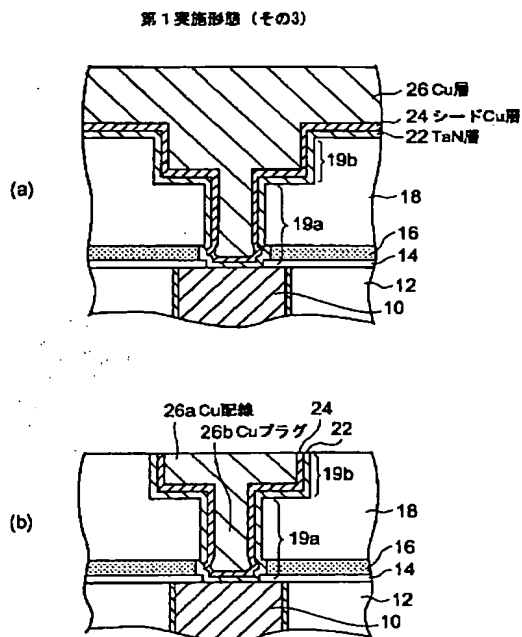
【図2】



【図8】

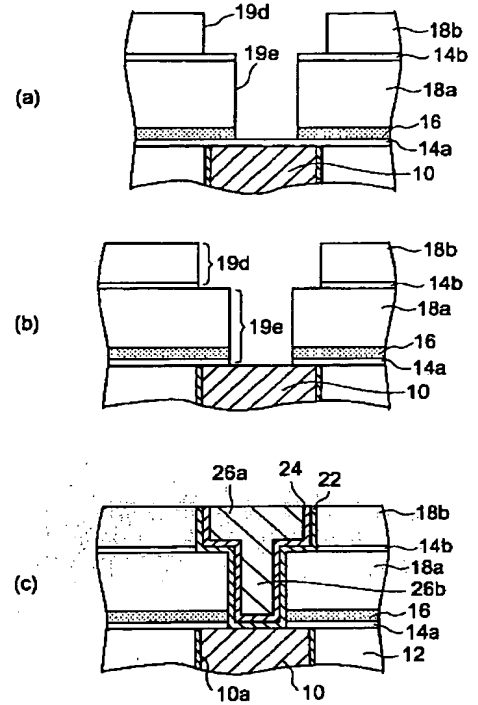


【図3】



【図 5】

## 第2実施形態（その2）



【图7】

Figure 1 consists of three cross-sectional views of a semiconductor device, labeled (a), (b), and (c).

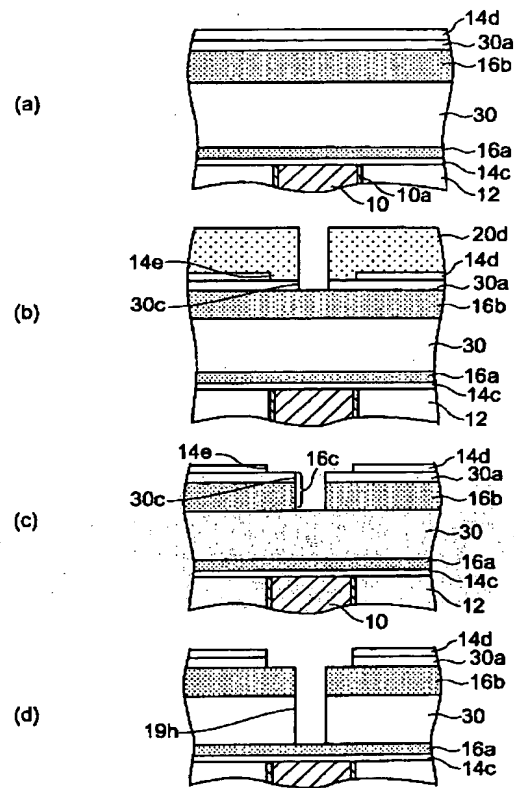
(a) shows a cross-sectional view of a semiconductor device. It features a central gap. On the left side, there is a layer labeled 19h. On the right side, there are layers labeled 14d, 30a, 16b, 30, 16a, and 14c. At the bottom, there is a central layer labeled 10 and a layer labeled 10a.

(b) shows a cross-sectional view of a semiconductor device. It features a central gap. On the left side, there is a layer labeled 19h. On the right side, there are layers labeled 19i, 30a, 16b, 30, 16a, and 14c. At the bottom, there is a central layer labeled 10.

(c) shows a cross-sectional view of a semiconductor device. It features a central gap. On the left side, there is a layer labeled 26a. On the right side, there are layers labeled 24a, 22a, 30a, 16b, 30, 26b, 16a, and 14c. At the bottom, there is a central layer labeled 10.

【図6】

## 第3実施形態（その1）



フロントページの続き

Fターム(参考) 5F004 AA04 BD01 DA01 DA16 DA24  
 DA25 DA26 DB00 DB04 DB07  
 DB26 EA23 EA28 EA29 EB01  
 5F033 HH11 HH21 HH32 HH33 HH34  
 JJ11 JJ21 JJ32 JJ33 JJ34  
 KK11 KK21 KK32 KK33 MM02  
 MM10 MM12 MM13 NN06 NN07  
 NN32 PP06 PP15 PP27 QQ09  
 QQ10 QQ16 QQ21 QQ25 QQ28  
 QQ33 QQ34 QQ35 QQ37 QQ48  
 RR01 RR04 RR06 RR11 RR14  
 RR25 SS15 SS22 TT04 XX01  
 XX18 XX24